

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-039838

(43)Date of publication of application : 13.02.1998

(51)Int.Cl. G09G 3/36
G02F 1/133
G09G 5/00
G09G 5/00
G09G 5/18
H04N 5/66

(21)Application number : 08-193042

(71)Applicant : SHARP CORP

(22)Date of filing : 23.07.1996

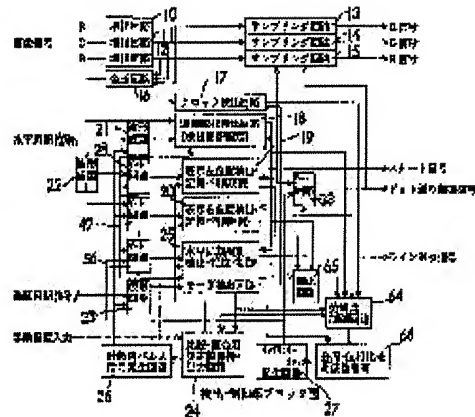
(72)Inventor : UNO TAKAAKI

(54) DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To always, automatically make the adjusting of the display state of a liquid crystal display device optimum by extracting a display left position indicating the most left end of a picture where a horizontal synchronizing period display signal being included in a picture display signal appears and a sampling clock or the like being included also in the picture display signal and automatically performing the adjusting of the display state of the liquid crystal display device as necessary based on the respective extracted signals.

SOLUTION: R, G, B signals are analogously synthesized in a synthesizing circuit 16 to be used in the detecting of a clock in a clock detecting circuit 17, in detecting the change of a picture in a picture change detecting circuit 18 and in detecting a display left position in a display left position detecting and storing and control circuit 19 and in detecting a right position in a display right position detecting and storing and control circuit 20. A stipulation value holding and outputting circuit for comparison and collation 24 holds standard count values equivalent to display left and right positions to supply them to respective detecting circuits of display left position/display right position detecting and storing and control circuits 19, 20 and a horizontal synchronizing period detecting and storing and control mode detecting circuit 25 or the like. Then, the circuit 24 automatically transmits the stipulation values of the respective detecting circuits 19, 20 at the time of supplying of a power source.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-39838

(43)公開日 平成10年(1998) 2月13日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5
G 0 9 G 5/00			G 0 9 G 5/00	X
	5 2 0			5 2 0 W
5/18			5/18	

審査請求 未請求 請求項の数4 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願平8-193042

(22)出願日 平成8年(1996) 7月23日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 鶴野 高明

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】 液晶表示装置の駆動回路

(57)【要約】

【課題】画像表示信号の表示モード等の表示フォーマットが変わった場合にも表示状態の調整を自動的に行わせる液晶表示装置の駆動回路を提供する。

【解決手段】画像表示信号より、水平同期周期を検出し、水平同期信号のエッジから最初の画像表示信号を検出するまでの時間より表示左位置を検出して上記水平同期周期と表示左位置より表示画像の表示位置を自動的に設定するとともに、上記画像表示信号に含まれるサンプリング・クロックを抽出し、このサンプリング・クロックより装置のタイミング信号を自動生成する液晶表示装置の駆動回路。

表示 モード (画素数)	縦解像度 [Hz]	水平				垂直			
		Hz	Bh	Th	Fh	Hz	Bv	Fv	Dv
A	31.2	2.08	3.84	0.56	640	802	59.6	960	64
YGA	45.4	1.38	1.65	1.38	640	881	75.4	1541	44
(600x 480)	31.1	2.08	3.88	0.60	640	804	59.1	1093	64
C	31.2	2.08	3.92	0.44	640	801	59.6	994	64
C'	38.1	4.42	1.01	0.66	640	833	73.1	761	79
A	37.4	2.89	3.61	0.82	800	1108	59.0	802	107
SVGA	34.6	1.64	4.18	0.42	800	1021	54.6	809	58
(800x 600)	34.5	2.87	3.62	0.28	800	1031	54.7	687	116
C	35.5	2.63	3.45	0.67	800	1052	58.1	630	110
C'	47.5	1.80	2.20	1.04	800	1052	71.5	484	442
A	57.6	1.89	1.33	0.43	1024	1306	71.1	520	139
XGA	50.1	1.83	2.05	0.72	1024	1331	61.9	619	40
(1024x 768)	48.5	2.84	2.21	0.27	1024	1351	57.6	645	129
C	46.5	2.10	1.81	0.09	1024	1329	71.2	523	105

Bh: 水平方向表示ドット数、Dv: 表示ライン数 (垂直方向)

Bh, Bv: 水平及び垂直方向のバックポート幅、Th, Fv: 水平及び同期パルス幅、

Fh, Fv: 水平及び垂直フロントポート幅

Th, Tv: 水平及び垂直同期期間内全ドット数 (同期パルス幅内も含む)

< 図 1、表示モード毎のタイミング図例 >

【特許請求の範囲】

【請求項1】 2つの水平同期信号のエッジの間隔を検出し第1の制御信号を出力する水平同期周期検出手段と、上記水平同期信号が入力してから、該信号の検出後、最も早い時刻に到来する画面表示信号までの間隔を検出し、第2の制御信号を出力する表示左位置検出手段と、表示左位置の標準値を記憶する記憶手段と、画像表示信号に含まれるサンプリング・クロックを抽出し、抽出したサンプリング・クロックより、液晶表示装置のタイミ
10 ング信号を生成するタイミング信号自動生成手段とを設け、上記第1及び第2の制御信号及び上記記憶手段に記憶されている表示左位置の標準値に基づき、表示画像の表示位置を自動的に設定することを特徴とする液晶表示装置の駆動回路。

【請求項2】 請求項1記載の液晶表示装置の駆動回路に、水平表示期間内の画像表示信号の終了時点を検出し、第3の制御信号を出力する表示右位置検出手段と、上記第1、第2及び第3の制御信号に基づき上記画像表示信号の出力期間を検出する画像表示期間検出手段と、該画像表示期間検出手段で検出した画像表示信号の出力
20 期間で基本クロックの発振周波数を補正する発振周波数補正手段を設けたことを特徴とする液晶表示装置の駆動回路。

【請求項3】 請求項1記載の液晶表示装置の駆動回路に、予め定めた複数箇所の画像信号の変化或いは、表示モードの変化または、上記両変化及び上記第1或いは第2の制御信号に基づき、計数した計数値と、予め記憶させた標準値とを比較した比較値に基いて上記サンプリング・クロックの周波数を制御するサンプリング・クロック発生手段を設けたことを特徴とする液晶表示装置の駆
30 動回路。

【請求項4】 請求項1記載の液晶表示装置の駆動回路において、画像表示信号に含まれるドットクロック周波数に対応した信号成分を検出するクロック検出手段と、該クロック検出手段の出力に基づき基準発振器の発振周波数を分周する分周手段と、該分周手段で分周した信号と、上記クロック検出手段の出力信号との位相比較を行う位相比較手段と、該位相比較手段の出力により周波数が制御されたサンプリング・クロックを発生するサンプリング・クロック発生手段を設けたことを特徴とする液晶
40 表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、マイクロプロセッサまたはマイクロコンピュータなどをベースとした装置やシステム（以下これらを表示出力装置と呼ぶ）の表示出力を受けて、文字・数字・画像や映像を表示する液晶表示モニター等の液晶表示装置の駆動回路に関するものである。

【0002】

【従来の技術】 従来、文字、数字や絵など画像・映像を表示する表示装置としてCRT（カソード・レイ・チューブ：通称ブラウン管）が広く用いられている。近來、薄型・軽量を特徴とした液晶表示装置の面積化・高精細化が進み、CRTとの置き換えが進みつつある。

【0003】 この中で、液晶表示装置がCRTに比して粗いドット単位での表示となるため、液晶表示装置の駆動回路としては、表示出力装置側の画像のサンプリング周波数や位相と正確に合ったサンプリング・クロック信号の生成が必要であり、水平及び垂直同期信号から、基本クロック信号を生成する方法が種々試みられて来た。

【0004】 しかし、表示出力装置側の表示モードや装置毎の仕様上に多くの相違があるので、サンプリング周波数の違いや位相ずれに対して、液晶表示装置側ではこれらに対応するために、複数のプリセット値を保持し、加えて押しボタン・スイッチなどで手動によって、周波数や表示位置などを微調整するようになっている。

【0005】 図10に、従来例のブロック図を示す。この例での概略の動作は以下の如くである。入力された画像信号（R、G、B信号）は、所定の電圧振幅を得るため、前置増幅器1-1、1-2、1-3で増幅される。これらの信号は、液晶のドット表示用信号にするため、サンプリング回路2-1、2-2、2-3でサンプリングされる。

【0006】 液晶表示パネル側がデジタル入力信号を必要とする場合、ADC（アナログ・デジタル変換器）が用いられ、サンプリングをその中で行わせることもある。場合によっては、液晶の表示に適したドット送り用のクロック周波数に変換するためにデジタル化された信号を一旦、デジタル・メモリに保持する例もある。

【0007】 サンプリングのための信号はVCO（ボルテージ・コントロールド・オシレータ）3、4、5のいずれかで生成されるが、水平同期信号H、Sと垂直同期信号V、Sから表示モードを判別し、これに対応した発振周波数のVCOの選択をモード判別・周波数切替回路6で行う。この例ではVCOが3個設けられているが、3種類の異なる表示出力装置に対して、それぞれに適した発振周波数を用意するためである。1つで発振周波数が十分に広くかつ高度に安定なVCO回路が実現できれば、VCO回路を複数設ける必要はない。

【0008】 表示出力装置の切替や表示位置、サンプリング周波数の微調整などは、入出力制御回路9に対する手動選択入力によって行う。上記VCO3、4、5は位相比較回路7により、分周された基準周波数と水平同期信号との位相の比較結果で制御される。設定周波数は、予め決められた値として分周比・発振周波数設定回路8内に記憶されており、これから大幅にはずれる状態では対応できない。

【0009】 その場合、入力信号による表示を停止させ、内蔵の信号で特定の表示をさせるか、まったく画像
50

表示をさせないで、異常を示すランプを点灯させるなどの方法を探る。サンプリング周波数や位相に微細なズレがある場合、表示は文字や先のニジミ、チラツキなどが出て画像の質が低下する。基本的な設定値を外れる場合は、手動で調整を行うようになっている。

【0010】

【発明が解決しようとする課題】実用上での問題は、液晶表示装置に、表示出力装置から受ける同期周波数を想定し、それに対応したサンプリング周波数を予めプリセットしておくが、これをはずれる場合は手動で合わせなければならぬ点である。同期周波数が想定値から離れていて液晶表示装置側の許容範囲外の状態になった場合、両方の装置には異常が無くても、表示がまったく出ないことがあり、通常の利用者では処理に困る例がある。これは、固定的なプリセット値だけでは、対応が不十分なことが原因である。

【0011】図1は、各種の表示出力装置や表示モードの違いによるタイミングの違いを示すものである。表示左位置は、図2におけるバックポーチ幅Bに関係し、サンプリング周波数は、表示期間Dと表示ドット数に関係する。もし固定的なプリセット値を用いる場合、異なる表示条件（サンプリング周波数や位置）に対応するため、複数のプリセット値を用意するのが通例である。通常、3～16種、場合によってはそれ以上の場合もある。そのいずれかを自動的に選択する方法も採用されているが、きめ細かさや回路の複雑さ・コストとが相反するため、極力少なくすることが望ましい。

【0012】プリセット値と微調整で調整できる範囲を越える表示条件では、前述のように全く表示が行われない場合も起こる。このような問題が生じないようにし、また、利用者の不完全な調整による表示品位の低下を避け、周波数の調整や表示位置合わせを自動で行わせ、手動の部分の極少化することによって、液晶表示装置をより使い易く、かつ鮮明な表示をさせる。通常の利用者が本体装置に、液晶表示装置を困難なく接続し使用できるようにする必要がある。

【0013】上述のような問題を解決するためには、表示左及び右位置の自動検出及びサンプリング・クロックの自動生成と入力される同期信号との自動同期合わせ、クロック周波数の微細な合わせ込みのために画像信号から元のサンプリング・クロックの自動割り出しなどが必要になる。ただ、表示出力装置側からは、通常それらの処理に必要で十分な情報は送られて来てはいない。例えば、サンプリング・クロックは水平同期信号から生成しなければならないし、左位置、右位置などを指定する信号は送られて来ない。従って、送られてくる信号の範囲で、これらを生成する必要がある。

【0014】

【課題を解決するための手段】本発明の液晶表示装置の駆動回路は、2つの水平同期信号のエッジの間隔を検出

し第1の制御信号を出力する水平同期周期検出手段と、上記水平同期信号が入力してから、該信号の検出後、最も早い時刻に到来する画面表示信号までの間隔を検出し、第2の制御信号を出力する表示左位置検出手段と、表示左位置の標準値を記憶する記憶手段と、画像表示信号に含まれるサンプリング・クロックを抽出し、抽出したサンプリング・クロックより、液晶表示装置のタイミング信号を生成するタイミング信号自動生成手段とを設け、上記第1及び第2の制御信号及び上記記憶手段に記憶されている表示左位置の標準値に基づき、表示画像の表示位置を自動的に設定するように構成する。

【0015】本発明では、表示の左位置を決定するために、水平同期信号から画像信号までの時間（第1及び第2のバックポーチ幅）と予め想定した見込み時間とを比較する手法を用いる。画像信号が必ず表示の左端位置から始まっているとは限らないが、少なくとも何かの画像が現れ始める箇所を仮に左端としておいてもよい。その場合、画像情報の欠落は「左側の真っ黒か真っ白の領域」で起きる。これは通常のコンピュータ・システムにおいては起こり難い。システムの動作開始時には左端に何らかの文字表示が行われるのが普通だからである。

【0016】監視用カメラの画像で、暗闇の風景などを表示させる場合には、画像信号から左端信号の検出を期待することは難しい。このような場合、所定の時間内に画像信号が始まっていないという条件で、規定の左位置を適用すればよい。この規定値は、図1に示すような実測値を参考に、バックポーチ幅B、Bhまたはバックポーチ幅B、Bhと水平同期信号幅W、Whを合わせた値で決める。最大5 μ secまたは7 μ sec程度になる。このような設定状態で表示中、もし画像内容が変化して、この時間より短い位置に画像信号が来れば、即時左位置を変更・固定する。表示モードが変化した場合には、左位置が現状より右に移動することもあるため、これを更新する必要がある。

【0017】サンプリング・クロック信号は、水平同期周波数に対して数百倍乃至千数百倍高い周波数の発振回路からの信号を用い、この信号は分周して水平同期信号と位相比較・発振制御により同期させて固定する方法が一般的である。しかし、分周比が大きくなるに従って同期の安定性の確保が難しくなる。安定度が悪いと表示画像にジッタやニジミが目立つ。

【0018】これを補うために画像信号の中に含まれるサンプリング・クロック周波数近傍の信号成分を抽出して、同期の安定性を強化する。風景などの自然画像表示状態では、中間調が多いためあまり高周波の強信号は得難いが、コンピュータ・システムなどの表示では文字や線が比較的多く含まれているため、このような信号が得易い。クロック信号は、平常時は規定の周波数を用い、画像内容に変化があつて画像信号からクロック周波数近傍の信号が得られた場合、これによってクロック周波数

を補正・変更する。

【0019】また、本発明の液晶表示装置の駆動回路において、水平表示期間内の画像表示信号の終了時点を検出し、第3の制御信号を出力する表示右位置検出手段と、上記第1、第2及び第3の制御信号に基づき、上記画像表示信号の出力期間を検出する画像表示期間検出手段と、該画像表示期間検出手段で検出した画像表示信号の検出期間で、基本クロックの発振周波数を補正する発振周波数補正制御手段を設けた構成にする。

【0020】この構成により、表示期間検出手段で、水平同期信号のエッジの検出に基づき得られた第1の制御信号と表示画像の表示左位置及び表示右位置の検出で得た第2及び第3の制御信号より画像表示信号の出力期間をより正確に求めることができる。従って発振周波数補正手段により、上記画像表示信号の出力期間で基本クロックの発振周波数を補正すると、正確なサンプリング・クロック周波数を設定することができる。

【0021】上記のように、この発明は画像表示の右位置も検出するようにして、より正確なサンプリング・クロック周波数を算定し、設定するものであるが、現実には、右位置に対応する信号が画像信号から得られる場合とそれが困難な場合がある。例えば、コンピュータ・システムの表示画面で文字表示のみの場合、行上の表示文字が右端まで表示されるとは限らず、また自然画表示でも、全画面表示が行われるとは限らない。

【0022】従って、表示右位置に関しては、この信号が検出できた場合に利用する、という方法を探る。表示右位置であるか否かの検定は、表示モード情報と表示左位置タイミング、次の水平同期信号タイミング及び図1に示すような水平同期信号HのフロントポーチFの時間幅Fhからの予測値などで行うようにする。

【0023】また、本発明の液晶表示装置の駆動回路に、予め定めた複数箇所の画像信号の変化或いは、表示モードの変化または、上記両変化及び上記第1或いは第2の制御信号に基づき、計数した計数値と、予め記憶させた標準値とを比較した比較値に基いて上記サンプリング・クロックの周波数を制御するサンプリング・クロック発生手段を設けた構成にする。

【0024】この場合、画像信号の変化を検出するために、簡易的な方法として、画面の表示左端近傍を上端から下端までの間複数点をサンプリングし、その画像信号のレベルが一定の閾値を越える回数を取り、記憶値と比較する。比較後変化有りの場合は制御信号を出力するとともに、上記の記憶値を更新する。

【0025】また、表示モードは、図10の従来例で説明したようにモード判別回路で垂直同期期間に送られて来る水平同期信号の数を計数することによって判別可能である。例えば480個前後ならVGA、600個前後ならSVGA、768個前後ならXGAという具合に判別できる。単純に、水平同期パルス数を計数する方式

は、既に特開平03-280084号後方などで開示されている。本発明では、水平同期信号を一定幅、一定電圧のパルスにし、ピークホールド、ブートストラップ回路、電圧閾値検知回路を組み合わせた回路群と垂直同期信号で制御されるゲートで判別する。

【0026】このようにして得られた画像信号の変化及び/または表示モードの変化は、サンプリング・クロックの発振周波数を制御する信号としてサンプリング・クロック発生手段に与え、また隣接する水平同期信号間の間隔に対応した第1の制御信号或いは水平同期信号の入力後、最初に到来する画像情報までの時間に対応した第2の制御信号に基づき、クロック信号を計数した計数値と、予め記憶させた標準値とを比較して、サンプリング・クロックの発振周波数を制御する信号として、サンプリング・クロック発生手段に与える。

【0027】従って、画像信号や表示モードが変化したり、また上記第1或いは第2の制御信号が変化した場合も、サンプリング・クロックを最適の値に設定することができ、液晶表示装置の表示状態を最適にすることができる。

【0028】また、本発明の液晶表示装置の駆動回路において、画像表示信号に含まれるドットクロック周波数に対応した信号成分を検出するクロック検出手段と、該クロック検出手段の出力に基づき基準発振器の発振周波数を分周する分周手段と、該分周手段で分周した信号と、上記クロック検出手段の出力信号との位相比較を行う位相比較手段と、該位相比較手段の出力により周波数が制御されたサンプリング・クロックを発生するサンプリング・クロック発生手段とを設けた構成にする。

【0029】この場合、画像信号からサンプリング・クロック周波数の情報を得るために、クロック検出手段を設ける。信号の高域成分のみを抜き出す高域通過フィルタを通し、正極性と負極性のパルスをそれぞれ専用の増幅器で増幅した後、遅延素子群とゲート回路で弁別を行い情報を得る。

【0030】この情報によりサンプリング・クロック発生回路を制御する分周比制御を行わせる。即ち、クロック検出手段からの出力に基づき、分周手段による基準発振器の発振周波の分周を行い、この分周出力と、上記クロック検出手段より導出した出力信号との位相比較を位相比較手段で行い、この位相比較手段の出力でサンプリング・クロック発生手段の出力周波数を制御する。

【0031】従って、サンプリング・クロック発生手段より、画像表示信号のドットクロック周波数に対応したサンプリング・クロックでサンプリングを行わせることができ画像表示信号のドットクロック周波数が変化した場合でも、液晶表示装置の表示品位を最適に維持することができる。

【0032】以上は、通常の使用状態での画像信号及び同期信号から位置情報を得ようとしているが、意図的・

積極的に、表示出力装置側のシステムの立ち上がり時期などにサンプリング・クロックの $1/2$ の周波数に相当する画像信号を表示左位置から表示右位置まで連続的に出力し、これを液晶表示装置側で捕捉するようにすれば、初動段階に必要な情報がすべて得られることは明らかである。

【0033】従って、本発明で示すような機能を表示装置側で備えていれば、表示画面の調整を自動的に行うことができる。表示出力装置側で、上記のような画像及び同期信号を出す方法として、通常装置に備え付けるBIOS（ベーシック入出力システム）と呼ばれる基本ソフトウェアの一部に処理用ルーチンを組み込むか、デバイス・ドライバと呼ばれる追加的に組み込む処理プログラムによって行わせる方法などがある。

【0034】留意すべき点は、表示出力装置側が動作を開始し、これらの処理プログラムによる画像信号が出力される前に、表示装置側がこれを受けられるように、動作していかなければいけない。しかし、本発明の方式では、その出力を受け損なったために表示がまったく行われな、といった問題は発生しない。

【0035】図3は、本発明の一実施形態のブロック図である。図3において、外部から入力される信号は、アナログのR（赤）、G（緑）、B（青）信号、水平同期信号H及び垂直同期信号Vであり、上記各RGB信号は、適当なレベルにするための増幅回路10、11、12を経て、サンプリング回路13、14、15から液晶表示装置の入力部に供給する。このサンプリング回路13、14、15は、図3では単独で示しているが、通常は後段にADC（アナログデジタル変換回路）を設けるか或いは内部にサンプリング回路が内蔵されたADCを用いる。

【0036】上記R、G、B信号は、合成回路16でアナログ的に合成し、クロック検出回路17でのクロックの検出、画像変化検出回路18での画像変化の検出及び表示左位置検出・記憶・制御回路19、表示右位置検出・記憶・制御回路20での表示右位置の検出に使用する。表示位置の検出用信号に関しては、以降の回路でデジタル処理に用いるために、立ち上がり及び立ち下がり時刻に大幅なずれを生じない範囲で十分な増幅をして波形成形を行う。水平同期信号H及び垂直同期信号Vは、それぞれ波形成形回路21、23を介しパルス幅を限定するため波形成形を行う。

【0037】比較・照合用規定値保持・出力回路24は、表示左・右位置などに相当する標準的な計数値を保持し、上記表示左位置検出記憶・制御回路19、表示右位置検出記憶・制御回路20及び、水平同期周期検出・記憶・制御モード検出回路25等の各検出回路に供給する。そして、電源投入時に、自動的に上記各検出回路19、20、21へ規定値を送出する。

【0038】上記比較・照合用規定値保持・出力回路2

4の内部は、レジスタ群またROMなどで構成するか或いは、手動スイッチなどによる外部入力により可変できる機構を備えることもできる。その場合は、バッテリーでバックアップされたRAMやフラッシュ・メモリなど書き換え可能なメモリなどを使用することもできる。

【0039】上記画像変化検出回路18、表示左位置検出記憶・制御回路19、表示右位置検出記憶・制御回路20及び水平同期周期検出・記憶・制御・モード検出回路25等の各検出回路の精度を高めるためには、計数用パルス信号発生回路26で、幅は狭く、周期の短いパルスを発生させるようにするべきであるが、計数回路の段数が多くなることやデバイスの性能上の制約、消費電力、コスト面で不利になるので、適当な幅、周期を設定する。この場合の計数用パルスは、サンプリング・クロック発生回路27で発生させる使用サンプリング・クロックの最高速の $1 \sim 1/2$ 倍程度とする。従って、XGAまでを想定した場合、幅・周期共およそ15から30ns程度のパルス列を生成する。

【0040】図4は、表示左位置を検出する上記表示左位置検出・記憶・制御回路19の具体的な回路例を示すものである。表示左位置を検出するために、波形成形回路21で波形成形した水平同期信号Hの立ち上がり、または立ち下がり時点からゲート回路28を開き、計数用パルス信号発生回路26で生成したパルスを通過させる。

【0041】そして、波形成形回路22より、画像信号の立ち上がりが来た時点で、ゲート回路28を閉じるが、この間通過したパルス数を表示左位置検出・記憶回路19の計数回路29で計数する。この値は、比較回路30で計数値保持部31の内容と比較し、それより小さい場合であって、画像変化検出回路18からの入力があった後であれば、計数値保持部31に記憶する。同時に、水平方向の表示を開始するための、書込制御信号出力回路32からの制御信号、即ちこの場合スタート信号を出力する。

【0042】計数値保持部31には、電源投入時に、比較照合用規定値保持・出力回路24に予め記憶されている規定値が自動的に書き込まれる。書込制御・信号出力回路32より出力されたスタート信号は、サンプリング・クロック信号を通すゲート回路33の制御やサンプリング回路13、14、15のリセット及び画像変化検出回路18のリセットなどの用途に用いられる。

【0043】34は、比較・照合用規定値保持・出力回路24から供給される表示左位置の標準的な計数値である規定値入力と、上記計数値保持回路31に書き込まれた値とを書込制御・信号出力回路32からの画像変化検出信号に基づく制御信号で切り替え、分周比設定用補助出力を導出する切替回路である。

【0044】表示右位置検出は図3におけるゲート回路49、表示位置検出・記憶・制御回路20及び図5に示

すような回路構成で行う。波形形成回路22からの画像信号の立ち上がり以降、その立ち下がりが来た時点からゲート回路49を開き、次の水平同期信号Hが来るまでの期間、計数用パルス信号発生回路26からの計数用パルスを通過させ計数回路35で計数する。

【0045】上記の表示左位置検出の場合と異なる点は、次の水平同期Hが来るまでに画像入力再び立ち上がって継続する場合は、計数回路35をリセットする機能を持たせることである。この期間の計数は、単に画像信号の途切れであり画像信号の終端部ではないからである。

【0046】水平同期信号Hが来た時点で、比較回路36からの大小比較出力を見て計数保持部37に保持された規定値より小さい場合、書込制御・信号出力回路38により切替回路39を切り替えて、計数回路35で計数した計数値を分周比設定用補助出力として出力する。等しいか、大きい場合は、規定値を出力する。

【0047】図6は、水平同期周期検出回路であり、波形成回路21からの2つの水平同期信号Hの期間ゲート回路56を開き、この間に入力するサンプリング・クロック発生回路27からのクロックを水平同期周期・検出・記憶・制御・モード検出回路25に設けた計数回路40で計数する。

【0048】表示モード変更があったことを書込制御・信号出力・モード判別回路41が検出した場合、上記計数回路40で計数した値と計数値保持回路43で保持している値が比較回路42により比較され、異なることが検出されると、計数値保持回路43の保持計数値を計数回路40で計数した値に更新する。

【0049】この値は分周比設定用補助出力として切替回路44より出力される。また書込制御・信号出力回路41からは、入力される水平同期周期信号Hと同じタイミングで信号出力を導出する。この信号出力は、ライン送り信号で、液晶表示装置側で表示ラインを次のラインに送る信号となる。

【0050】図7は、表示モード検出回路のブロック図である。波形成回路21で一定幅に成形した水平同期パルスHを分周回路45で1/16乃至1/64等に分周し、パルス数を抑えて分圧回路、ピークホールド回路及びブートストラップ回路より成る階段波形成回路46-1、46-2、46-3、46-4に供給し、階段波形を生成する。

【0051】この階段波形の電圧を電圧閾値検出回路47-1、47-2、47-3、47-4に与え、更にゲート回路48により垂直同期信号VのタイミングでON、OFF状態を見ることによって、VGA、SVGA、XGA等の表示モードの判別を行い、表示モード判別出力を導出する。

【0052】上記分周回路45は、パルス数を抑え、アナログ電圧の閾値判別を容易にするために設けたもので

ある。また、上記階段波形成回路46-1、46-2、46-3、46-4に設けた分圧回路は、1パルス当りの階段電圧を適切に決めるために設けたものである。そして、ピークホールド回路とブートストラップ回路で階段波形を生成する。

【0053】上記電圧閾値検出回路47-1、47-2、47-3、47-4はVGA、SVGA、XGA等のそれぞれの表示モードに対して、例えば分周比1/32で13、17、22、30以上のパルス数でONとなるような閾値を持つ4つの回路を設ける。

【0054】上記の閾値を持つ4つの電圧閾値検出回路は、判別しようとする表示モードに応じて設けられており、上記閾値が13、17、22の電圧閾値検出回路がON、閾値が30の電圧閾値検出回路がOFFであれば、XGAモードであると判断する。この判別信号で、各種の規定値及び分周比等の切り替えを行わせる。

【0055】図8は図3に示す画像変化検出回路18のブロック図である。この画像変化検出回路18は、表示画面上のいくつかの定点での画像信号の変化を常時監視し、変化があった場合、信号を出力する。定点の数は、多い方が精度が高くなるが、比較的回路規模が大きくなり、コスト面で不利になるので、両方のバランス状態を見て決定する。

【0056】実施例では、画面左端から水平ラインの約1/16及び約8/16の位置で、それぞれ上端から垂直ライン方向に約1/16、4/16、8/16、15/16の位置（8位置）を定め、この8位置についてそれぞれ垂直方向に連続した4点づつ総計32点を監視する。

【0057】そして、それぞれの点のサンプリング・タイミング信号は、水平同期成形信号、垂直同期成形信号及びドットクロックにより、サンプリング・タイミング信号生成回路51で生成される。合成回路16（図3）からのRGB合成信号は、閾値検出増幅回路52に供給され、この閾値検出・増幅回路52で振幅が一定の閾値を越えたものが導出される。

【0058】そして、サンプリング回路53に供給し、該サンプリング回路53で上記サンプリング・タイミング信号生成回路51から供給される上記32点に対応したサンプリング・タイミング信号によりサンプリングされ一定の閾値を越えた数を計数回路54で計数する。

【0059】上記計数回路54は5個以上のバイナリ・カウンタなどで構成する。上記の監視位置（8位置）はいずれも画面中央から左寄りになっているが、中央より左寄りを監視する理由は、文字列の多い表示の変化を捕らえ易くするためである。検出箇所の指定は、水平同期信号の時刻を基準に、計数用パルスの計数値と水平同期信号の計数値が所定の値になる時刻で決定する。

【0060】図9は、パルス幅判別回路のブロック図である。このパルス幅判別回路は、非常に高い周波数成分

の内の微弱信号を取り出すため、外来雑音を除去するようにしており、回路部の周囲に遮蔽構造を設け、信号は適切な高域通過フィルタ 58 と増幅回路を介して導出するように構成する。

【0061】上記高域通過フィルタ 58 は、ドットクロック周波数の低い表示モード V G A を考慮して、約 20 MHz 以上の帯域に設定する。表示モードに応じてカットオフ周波数を切り替える構成にしてもよい。その場合、検出安定度とコストはトレードオフの関係となる。

【0062】高域通過フィルタ 58 を通した後、正極性と負極性のパルスを正極性パルス増幅回路 59 及び負極性パルス増幅回路 60 で別個に増幅し、正極性のパルスを複数段の遅延回路素子 61-1、61-2、…61-n より成る遅延回路の入力とする。

【0063】この各遅延回路素子 61-1、61-2、…61-n の各出力と、ゲート ON 信号となる上記正極性パルス増幅回路 59 の出力及びゲート OFF 信号となる上記負極性パルス増幅回路 60 の出力をゲート回路 62 に供給する。このゲート回路 62 を通過するゲート出力は、デコーダ回路 63 でデコードし、分周比設定用補助出力として導出して分周比制御回路 64 へ出力する。

【0064】分周比制御回路 64 では、水平同期周期検出・記憶・制御モード検出回路 25 からの表示モード検出信号で、各モード毎の基本分周比を設定させた後、水平同期周期検出・記憶・制御モード検出回路 25 からの分周比設定用補助出力を、表示左位置検出・記憶・制御回路 19 及び表示右位置検出・記憶・制御回路 20 からの表示左位置及び表示右位置に相当する数だけ補正回路 65 により補正して、分周比制御回路 64 に供給する。

【0065】分周比制御回路 64 は、初期状態では規定値で設定するが、表示左位置、表示右位置或いは水平同期周期検出からの補助入力で補正を行う。補正は、規定値への加算または規定値からの減算で行い、補正変更の最小値は 1 ドット相当の周波数変化とする。

【0066】例えば、X G A であれば分周比の変更ステップを約 1/1300 単位で行わせる。これは、ドット数 1024 にバック及びフロントポーチ部のドット相当数を加えた値である。分周・位相比較・周波数制御回路 66 及びサンプリング・クロック発生回路 27 は、通常の PLL (フェーズ・ロックド・ループ) と VCO (ポルテージ・コントロールド・オシレータ) で構成する。

【0067】

【発明の効果】本発明によれば、マイコンやマイコンを使ったシステム等の表示出力装置より液晶表示装置側に送られてくる画像表示信号より、この画像表示信号に含まれている水平同期周期表示信号が現われる画像上の最左端を示す表示左位置及びサンプリング・クロック等を抽出し、この抽出した各信号に基づき必要に応じて液晶表示装置の表示状態の調整を自動的に行えるので、上記

表示出力装置からの画像表示信号が変わった場合にも、液晶表示装置の表示状態の調整を常時自動的に最適状態にすることができる表示出力装置の切り替え時の調整の簡素化を図ることができる。

【0068】この場合、通常の表示状態でも、十分な表示が得られるが、表示信号出力側で調整用の信号を意図的に出力すれば、さらに精度の高い調整が可能になる。また、殆どの回路をデジタル (論理) 回路にすることは容易であり、集積化し易く、量産化に適しており、コストメリットが期待できる。

【0069】また、表示右位置検出を行い、上記の表示左位置検出信号とともに画像表示信号の出力期間を求め、この画像信号の出力期間により基本クロックの発振周波数を補正すると更に高精度の調整が可能になる。

【0070】また、表示画面上の複数箇所の画像表示信号の変化や画像表示信号の表示モードの変化を検出し、更には画像表示信号に含まれるドットクロックを検出して、これらの検出信号により液晶表示装置側のサンプリング・クロック周波数を調整すれば表示出力装置の切り替え時にも自動的に且つ更に高精度の表示状態の調整を行わせることができる。

【図面の簡単な説明】

【図 1】表示モード、機種毎のタイミング例の説明図である。

【図 2】画像信号と同期信号の説明図である。

【図 3】本発明の一実施形態のブロック図である。

【図 4】本発明の要部の構成を示すブロック図である。

【図 5】本発明の他の要部の構成を示すブロック図である。

【図 6】本発明の更に他の要部の構成を示すブロック図である。

【図 7】本発明の更に他の要部の構成を示すブロック図である。

【図 8】本発明の更に他の要部の構成を示すブロック図である。

【図 9】本発明の更に他の要部の構成を示すブロック図である。

【図 10】従来例のブロック図である。

【符号の説明】

13、14、15	サンプリング回路
16	合成回路
17	クロック検出回路
18	画像変化検出回路
19	表示左位置検出・記憶・制御回路
20	表示右位置検出・記憶・制御回路
21、22、23	波形成形回路
24	比較・照合用規定値保持・出力回路
25	水平同期周期検出・記憶・制御・モード検出回路
26	計数用パルス信号発生回路

27	サンプリング・クロック発生回路	46-1、46-2、46-3、46-4…階段波形成回路
28	ゲート回路	47-1、47-2、47-3、47-4…電圧閾値検出回路
29	計数回路	48、49 ゲート回路
30	比較回路	50 比較回路
31	計数値保持回路	51 サンプリング・タイミング信号生成回路
32	書込制御・信号出力回路	52 閾値検出・増幅回路
33	ゲート回路	53 サンプリング回路
34	切替回路	54 計数回路
35	計数回路	55 リセット回路
36	比較回路	56 ゲート回路
37	計数値保持回路	58 高域通過フィルタ
38	書込制御・信号出力回路	59 正極性パルス増幅回路
39	切替回路	60 負極性パルス増幅回路
40	計数回路	61-1、61-2、…61-n…遅延素子
41	書込制御・信号出力・モード判別回路	62 ゲート回路
42	比較回路	63 デコーダ回路
43	計数値保持回路	
44	切替回路	
45	分周回路	

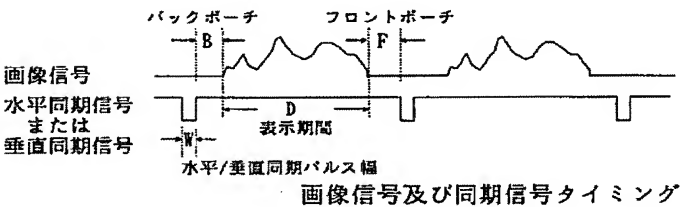
【図1】

表示 モード (画素数)	機種	水平						垂直					
		同期周波数	Bh	Wh	Fh	Dh	Tn	縦向き位	Bv	Fv	Dv	Tv	
		kHz	μsec					Hz	μsec				
YGA (640x 480)	A	31.2	2.08	3.84	0.56	640	802	59.6	960	64	352	480	520
	A'	45.4	1.38	1.65	1.38	640	881	75.4	1541	44	1101	480	602
	B	31.1	2.08	3.88	0.60	640	804	59.1	1093	64	322	480	526
	C	31.2	2.08	3.92	0.44	640	801	59.6	994	64	353	480	524
SVGA (800x 600)	C'	38.1	4.42	1.01	0.66	640	833	73.1	761	79	238	480	521
	A	37.4	2.89	3.61	0.92	800	1108	59.0	802	107	27	600	635
	B	34.6	1.64	4.19	0.42	800	1021	54.6	809	58	116	600	634
	C	34.5	2.87	3.62	-0.28	800	1031	54.7	667	116	116	600	631
XGA (1024x 768)	C'	36.5	2.63	3.45	0.67	800	1062	58.1	680	110	27	600	628
	C''	47.5	1.80	2.20	1.04	800	1052	71.5	484	442	442	600	665
	A	57.6	1.99	1.33	0.43	1024	1306	71.1	520	139	69	768	810
	B	50.1	1.83	2.05	0.72	1024	1331	61.9	619	40	160	768	809
	C	46.5	2.84	2.21	0.27	1024	1361	57.6	645	129	65	768	807
	C'	46.5	2.10	1.81	0.09	1024	1329	71.2	523	105	52	768	807

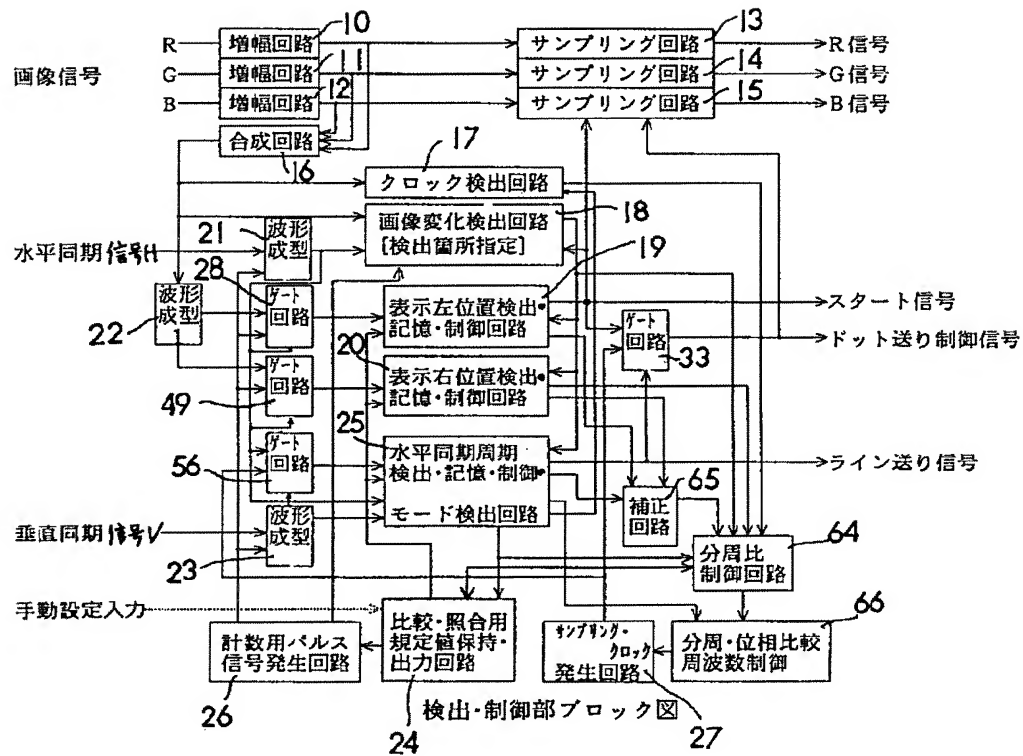
Dh: 水平方向表示ドット数、Dv: 表示ライン数（垂直方向）
Bh, Bv: 水平及び垂直方向のバックポーチ幅、Wh, Wv: 水平及び同期パルス幅、
Fh, Fv: 水平及び垂直フロントポーチ幅
Th, Tv: 水平及び垂直同期期間内全ドット数（同期パルス幅内も含む）

< 機種、表示モード毎のタイミング例 >

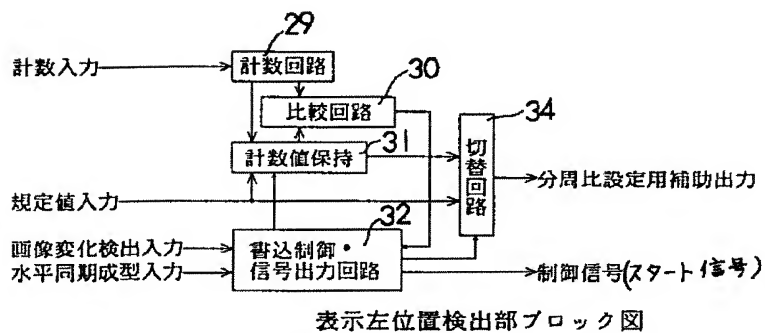
【図2】



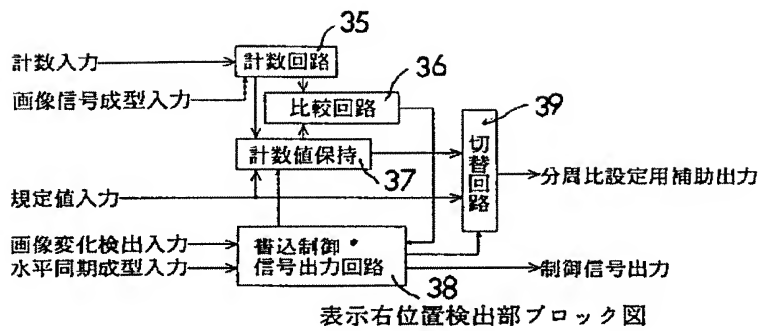
【図3】



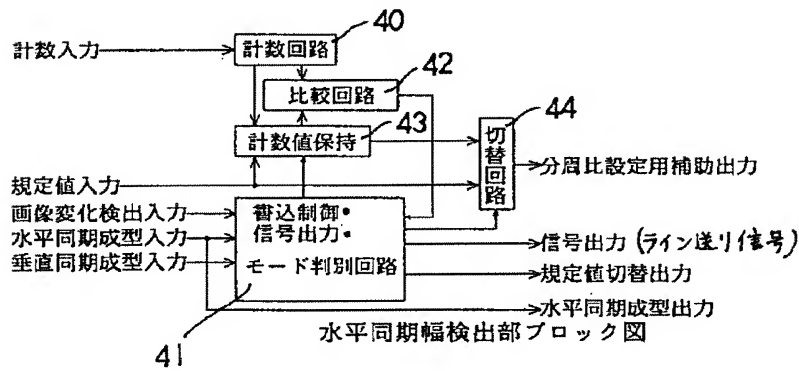
【図4】



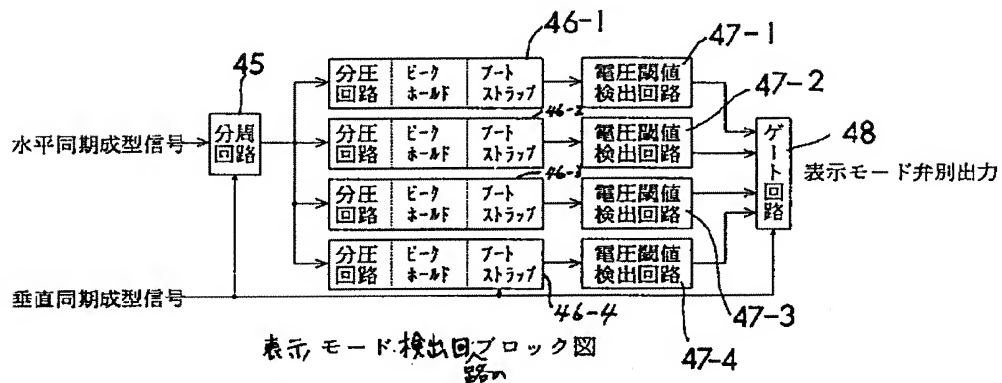
【図5】



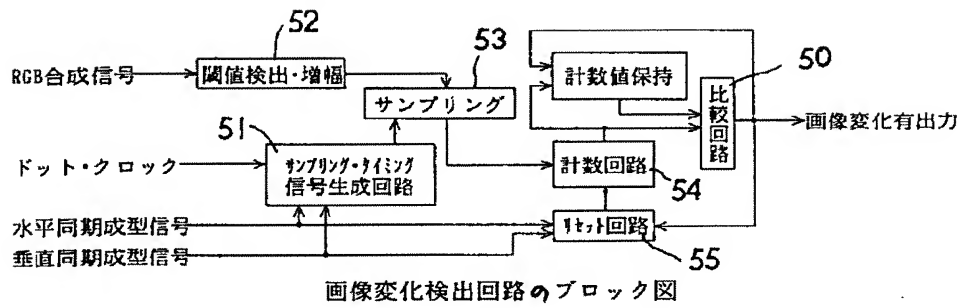
【図6】



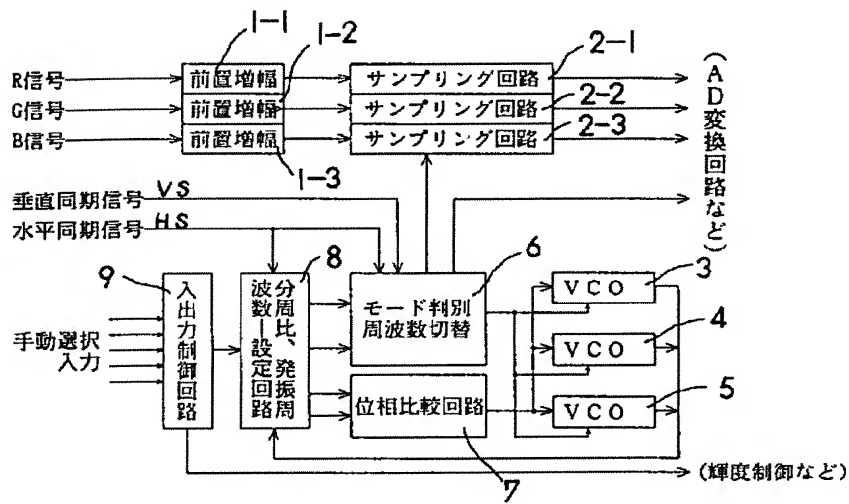
【図7】



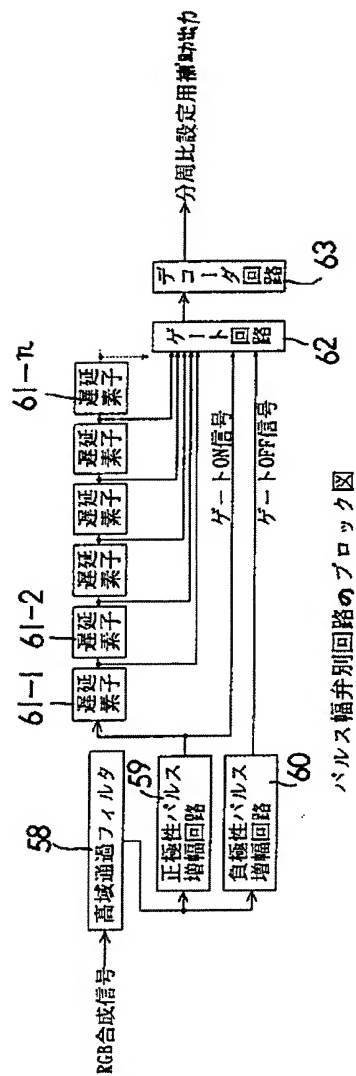
【図8】



【図10】



【图9】



フロントページの続き

(51) Int.Cl.⁶
H O 4 N 5/66

識別記号
102

庁内整理番号

F I
H O 4 N 5/66

技術表示箇所
1 0 2 B